

B2

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000188702 A

(43) Date of publication of application: 04 . 07 . 00

(51) Int. Cl. H04N 5/202  
G09G 3/20  
G09G 3/22  
G09G 3/28  
G09G 3/30  
G09G 3/34  
H04N 9/69

(21) Application number: 10320283

(22) Date of filing: 11 . 11 . 98

(30) Priority: 12 . 10 . 98 JP 10289143

(71) Applicant: VICTOR CO OF JAPAN LTD

(72) Inventor: MASUCHI SHIGEHIRO

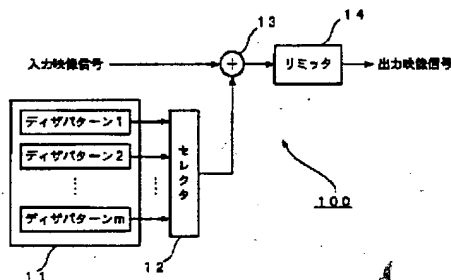
(54) VIDEO SIGNAL PROCESSING CIRCUIT FOR MATRIX TYPE DISPLAY DEVICE

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To smooth gradation characteristics to improve gradation continuity and to reduce pseudo contour-shaped image quality interference by making plural dither coefficient patterns in which plural dither coefficients are arranged in a matrix shape include positive and negative dither coefficients so as to make the total of dither coefficients zero.

SOLUTION: In this video signal processing circuit 100, a dither matrix coefficient generator 11 generates dither patterns (dither coefficient pattern) 1 to m being an  $n \times n$  dot matrix, a selector 12 selects one of the dither patterns 1 to m, and an addition circuit 13 adds an input video signal to the selected dither pattern to be outputted through a limiter 14. Here, the dither patterns 1 to m are provided with positive dither coefficients and negative dither coefficients so as to make the total of dither coefficients in one dither pattern zero. By doing this, even if a dither coefficient is added to the input video signal, it becomes difficult to be conspicuous as noise.



Similar  
EP 0994457

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188702

(P2000-188702A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 4 N 5/202		H 0 4 N 5/202	5 C 0 2 1
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 R 5 C 0 6 6
3/22		3/22	D 5 C 0 8 0
3/28		3/28	K
3/30		3/30	K

審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平10-320283  
 (22) 出願日 平成10年11月11日 (1998. 11. 11)  
 (31) 優先権主張番号 特願平10-289143  
 (32) 優先日 平成10年10月12日 (1998. 10. 12)  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000004329  
 日本ビクター株式会社  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (72) 発明者 増地 重博  
 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

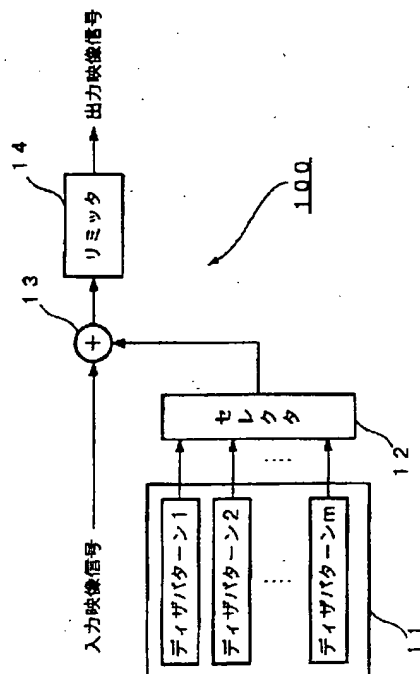
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置の映像信号処理回路

(57) 【要約】

【課題】 階調特性を滑らかにして階調の連続性を向上させることができ、疑似輪郭状の画質妨害を大幅に低減することができるマトリクス型表示装置の映像信号処理回路を提供する。

【解決手段】 ディザマトリクス係数発生器11は、複数のディザ係数パターンを発生する。セレクト12はその1つを選択する。加算器13は、映像信号にディザ係数パターンを加算する。ディザ係数パターンとして、正のディザ係数と負のディザ係数との双方を含み、ディザ係数の総和が0となるようにする。



## 【特許請求の範囲】

【請求項1】複数のディザ係数をマトリクス状にした複数のディザ係数パターンを発生するディザマトリクス係数発生器と、このディザマトリクス係数発生器が発生する複数のディザ係数パターンの1つを選択するセレクタと、入力された映像信号に前記セレクタによって選択されたディザ係数パターンを加算する加算器とを備えたマトリクス型表示装置の映像信号処理回路において、前記ディザ係数パターンは、正のディザ係数と負のディザ係数との双方を含み、前記ディザ係数の総和が0となるようにしたことを特徴とするマトリクス型表示装置の映像信号処理回路。

【請求項2】前記ディザ係数パターンは偶数個のディザ係数よりなり、前記ディザ係数パターンを構成するディザ係数を個数で均等に2つの組に分けたとき、その2つの組のディザ係数の総和が0となるようにしたことを特徴とする請求項1記載のマトリクス型表示装置の映像信号処理回路。

【請求項3】前記ディザ係数パターンは奇数個のディザ係数よりなり、縦横の中心のディザ係数を0としたことを特徴とする請求項1記載のマトリクス型表示装置の映像信号処理回路。

【請求項4】前記ディザ係数パターンを構成するディザ係数における縦横の中心のディザ係数を除いた残りのディザ係数を個数で均等に2つの組に分けたとき、その2つの組のディザ係数の総和が0となるようにしたことを特徴とする請求項3記載のマトリクス型表示装置の映像信号処理回路。

【請求項5】前記ディザ係数パターンは、縦横同数の正方形であることを特徴とする請求項1ないし4のいずれかに記載のマトリクス型表示装置の映像信号処理回路。

【請求項6】前記ディザ係数パターンは、正のディザ係数と負のディザ係数の数が同数であることを特徴とする請求項1ないし5のいずれかに記載のマトリクス型表示装置の映像信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力映像信号に逆ガンマ補正処理を施してリニアな階調に戻して画像表示するマトリクス型表示装置に用いられる映像信号処理回路に係り、特に、プラズマディスプレイパネル表示装置(PDP)、フィールドエミッションディスプレイ装置(FED)、デジタルマイクロミラーデバイス(DMD)、エレクトロルミネッセンスディスプレイ(EL)等のように、デジタル的に限られた中間階調を表現する際の階調特性を向上させることができるマトリクス型表示装置の映像信号処理回路に関する。

## 【0002】

【従来技術】映像信号を表示するマトリクス型表示装置の内、例えば、1フィールドを複数のサブフィールド

に分割して階調表示するPDPや、PWM変調によって階調表示するFED、さらにはDMD等の表示装置においては、駆動方法によってはデジタル的に制限された階調数でしか映像を表現することができない。また、ガンマ特性がかけられた映像信号に対し、逆ガンマ補正処理を施してリニアな階調に戻すことが必要である。

【0003】そこで、マトリクス型表示装置では、デジタル的に制限された階調数で映像を表示する際、逆ガンマ補正処理を施してリニアな階調に戻す際に損なわれる階調の直線性を滑らかにするために、一例としてディザ法を用いて多階調化処理を行っている。

【0004】ディザ法による多階調化処理は、隣接する複数の画素(ドット)を1組としてディザマトリクスを構成し、損なわれた階調分の中間階調をこのディザマトリクス内の個々のディザ係数で表現するのが一般的な処理方法である。例えば、表示装置が6ビットの階調能力しかなく、8ビットのドットデータの上位6ビットにより階調表示する場合は、隣接する2×2ドットのディザマトリクスを構成し、そのディザマトリクス内で不足した2ビット分のノイズパターンを重畳することによって、視覚的な積分効果を利用して8ビット相当の階調表示を行う。

【0005】図5は、ディザ法を用いて多階調化処理を行う映像信号処理回路と逆ガンマ補正回路とを備えたマトリクス型表示装置の全体構成の一例を示している。ここでは、マトリクス型表示装置の一例としてPDPとしている。図5において、映像信号は映像信号処理回路100に入力され、後に詳述するディザ法によって多階調化が図られ、逆ガンマ補正回路200に入力される。逆ガンマ補正回路200は、入力された映像信号に逆ガンマ補正を施し、PDP300に入力する。なお、映像信号は、R、G、B信号である。従って、実際には、映像信号処理回路100と逆ガンマ補正回路200は、R、G、B信号で3系統必要である。

【0006】ここで、図6を用いて、映像信号処理回路100の一般的構成について説明する。図6において、ディザマトリクス係数発生器1は、 $n \times n$ ドットのマトリクスであるディザ係数パターン(以下、ディザパターン)を複数種類(ここでは、 $m$ 種類)発生する。なお、ここでは、 $m$ が3以上の如く図示しているが、 $m=2$ 、即ち、2種類のディザパターンを発生するものであってもよい。ディザマトリクス係数発生器1は、ROMで構成してもよく、あるいは、ソフトウェアによって構成することもできる。

【0007】セレクタ2は、ディザマトリクス係数発生器1からの $m$ 種類のディザパターンの1つを選択し、加算器3に入力する。加算器3には、例えばデジタル変換された映像信号が入力され、加算器3は、入力された映像信号とセレクタ2によって選択されたディザパターンとを加算し、リミッタ4に入力する。リミッタ4は、加

算器3の出力のビットを制限して出力する。リミッタ4より出力された映像信号は、原信号と比較して階調数は減少するが、見かけ上、原信号と同等の階調数に増加された多階調化信号となっている。

【0008】図7は、従来用いていたディザパターンの例である。図7(A)、(B)において、a、b、c、dで示す4つドットよりなる区画は、縦(行)×横(列)で2×2ドットのマトリクスによるディザパターンを示している。なお、ドットとは、R、G、Bよりなる画素を構成する1つを言う。この2×2ドットのディザパターンは、後述するように、PDP300のパネル上のドットデータに対応して、映像信号に加算される。例えば、奇数行のドットデータにはディザ係数a、b、a、b、…が行頭の画素より順に加算され、偶数行のドットデータには、ディザ係数c、d、c、d、…が行頭の画素より順に加算される。さらに詳細には、a、b、c、dなるディザ係数は、R、G、Bそれぞれで同一色の隣接した4つのドットに対して加算されることになる。

【0009】図7(A)に示す例では、a、b、c、dをそれぞれ0、1、2、3としたディザパターン■と、a、b、c、dをそれぞれ3、2、1、0としたディザパターン■との2種類のパターンを用い、このディザパターン■、■を1フィールド毎に交互に切り換えるようにしたものである。

【0010】図7(B)に示す例では、a、b、c、dをそれぞれ0、1、2、3としたディザパターン■と、a、b、c、dをそれぞれ2、0、3、1としたディザパターン■と、a、b、c、dをそれぞれ3、2、1、0としたディザパターン■と、a、b、c、dをそれぞれ1、3、0、2としたディザパターン■との4種類のパターンを用い、このディザパターン■～■をフィールド周期で規則的に巡回させて切り換えるようにしたものである。

【0011】図8(A)、(B)は、図7(A)に示すディザパターン■、■を用いた場合の、図6に示す映像信号処理回路100による演算処理の例を示している。図8(A)、(B)では、入力された映像信号(原信号)が8ビットで、a、b、c、dのディザ係数に対応したドットデータが、9、17、3、5で、(A)はディザパターン■を、(B)はディザパターン■を加算する場合である。

【0012】図8(A)においては、8ビットの原信号に加算器3によってディザパターン■が加算され、9、17、3、5なる原信号は、9、18、5、8なるデータとなる。このままでは、データの値が8ビットを超えるので、リミッタ4によって原信号のビット数による値を超えた分(いわゆるオーバーフロー)を制限すると共に、下位2ビットを切り捨て、8、16、4、8なる6ビットの信号とする。ここでは、6ビットの信号を4の

倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、2、4、1、2である。この6ビットの映像信号は、ディザパターン■が加算されることによって、見かけ上、8ビットに階調数が増加した多階調化信号となっている。

【0013】なお、PDP300が8ビットの表示能力を有していれば、必ずしも6ビットに制限する必要はなく、8ビットのデータを超えた部分のみリミッタ4によって制限すれば、10ビット相当の多階調表示を行うことができる。上記のようにマトリクス型表示装置が6ビットしか階調能力がない場合は、6ビットに制限して原信号と同等の8ビット相当の多階調表示を行えばよい。

【0014】図8(B)においては、8ビットの原信号に加算器3によってディザパターン■が加算され、9、17、3、5なる原信号は、12、19、4、5なるデータとなる。実際には、このままでは、データの値が8ビットを超えるので、リミッタ4によって原信号のビット数による値を超えた分(オーバーフロー)を制限すると共に、下位2ビットを切り捨て、12、16、4、4なる6ビットの信号とする。ここでも、6ビットの信号を4の倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、3、4、1、1である。この6ビットの映像信号は、ディザパターン■が加算されることによって、見かけ上、階調数が増加した多階調化信号となっている。図8(A)、

(B)に示す出力映像信号は、1フィールド毎に交互に切り換えられる。

【0015】なお、図7(B)の場合も同様の演算が行われる。図7(B)の場合は、4種類のディザパターン■～■がフィールド周期で規則的に巡回して切り換えられるので、より空間的に滑らかな多階調化信号となる。

【0016】ここで、PDP300のパネル上の画素データとディザ係数との対応について説明する。図9において、301はPDP300のパネルを示しており、302はR、G、Bよりなる画素を構成するドットを示している。図9に示すように、パネル301は、N行×M列の複数のドット302より構成されており、a、b、c、dのディザ係数は、それぞれのドット302に印加するドットデータに対応して加算される。ここでは、簡略化のため、R、G、Bの1つの色のドットにてパネル301を構成するよう図示しているが、実際には、R、G、Bの各ドットが行方向に順次並んでパネル301を構成する。

【0017】

【発明が解決しようとする課題】以上説明したようなマトリクス型表示装置においては、逆ガンマ補正回路200によって逆ガンマ補正処理を施してリニアな階調に戻して表示するので、低輝度レベルの階調数が損なわれ、しばしば階調の連続性がなくなることにより画質妨害をもたらすことがある。特に、PDP300の場合で

は、1フィールドを発光量の重み付けの異なる複数のサブフィールドによって構成し、そのサブフィールドを複数選択することによって階調を表現する。従って、サブフィールドの選択状況によっては、隣接階調に対する視覚的な輝度差が大きくなり、その結果、静止画像及び動画画像において疑似輪郭状の画質妨害が発生してしまうことがある。

【0018】そこで、PDP300の場合では、ディザ法による多階調化処理を施して階調の直線性を滑らかにすると同時に、疑似輪郭状の画質妨害を低減するようにしている。しかしながら、従来のディザパターンでは、選択するサブフィールドの数が大きく変化する階調付近等では、隣接階調に対する輝度差がさらに強調され、疑似輪郭状の画質妨害が悪化してしまうことがあるという問題点があった。

【0019】本発明はこのような問題点に鑑みなされたものであり、階調特性を滑らかにして階調の連続性を向上させることができ、疑似輪郭状の画質妨害を大幅に低減することができ、さらに、ビット数を削減する必要がなく、画質の良好な映像を表示することができるマトリクス型表示装置の映像信号処理回路を提供することを目的とする。

#### 【0020】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、複数個のディザ係数をマトリクス状にした複数のディザ係数パターンを発生するディザマトリクス係数発生器(11)と、このディザマトリクス係数発生器が発生する複数のディザ係数パターンの1つを選択するセレクタ(12)と、入力された映像信号に前記セレクタによって選択されたディザ係数パターンを加算する加算器(13)とを備えたマトリクス型表示装置の映像信号処理回路において、前記ディザ係数パターンは、正のディザ係数と負のディザ係数との双方を含み、前記ディザ係数の総和が0となるようにしたことを特徴とするマトリクス型表示装置の映像信号処理回路を提供するものである。

#### 【0021】

【発明の実施の形態】以下、本発明のマトリクス型表示装置の映像信号処理回路について、添付図面を参照して説明する。図1は本発明のマトリクス型表示装置の映像信号処理回路の一実施例を示すブロック図、図2は本発明のマトリクス型表示装置の映像信号処理回路で用いるディザパターンの一例を示す図、図3は図2に示すディザパターンを用いた場合の演算処理を説明するための図、図4は本発明のマトリクス型表示装置の映像信号処理回路で用いるディザパターンの他の一例を示す図である。

【0022】ディザ法を用いて多階調化処理を行う映像信号処理回路と逆ガンマ補正回路とを備えたマトリクス型表示装置の全体構成は、図5で説明した通りである。

図5はマトリクス型表示装置の全体構成の一例を示したものであり、この構成に限定されるものではない。映像信号処理回路100によるディザ法を用いた信号処理と逆ガンマ補正回路200による逆ガンマ補正処理は、図5の順でなくてもよく、また、同一ブロックにて同時に行うような構成であってもよい。

【0023】本発明の映像信号処理回路100は、図1に示すように構成される。図1において、ディザマトリクス係数発生器11は、一例として、 $n \times n$ ドットのマトリクスであるディザ係数のパターン(以下、ディザパターン)を複数種類(ここでは、 $m$ 種類)発生する。なお、ここでは、 $m$ が3以上の如く図示しているが、 $m=2$ 、即ち、2種類のディザパターンを発生するものであってもよい。ディザマトリクス係数発生器11は、ROMで構成してもよく、あるいは、ソフトウェアによって構成することもできる。本発明が従来例と大きく異なるのは、ディザマトリクス係数発生器11が発生するディザパターンである。

【0024】セレクタ12は、ディザマトリクス係数発生器11からの $m$ 種類のディザパターンの1つを選択し、加算器13に入力する。加算器13には、例えばデジタル変換された映像信号が入力され、加算器13は、入力された映像信号とセレクタ12によって選択されたディザパターンとを加算し、リミッタ14に入力する。リミッタ14は、加算器13の出力における原信号のビット数による値を超えた分(いわゆるオーバーフロー、アンダーフロー)を制限して出力する。従来と同様、マトリクス型表示装置の階調能力に応じて、加算器13の出力のビット(下位ビット)を制限して出力してもよい。

【0025】図2は、本発明で用いるディザパターンの例である。図2(A)、(B)において、a、b、c、dで示す4つのドットよりなる区画は、縦(行)×横(列)で $2 \times 2$ ドットのマトリクスによるディザパターンを示している。この $2 \times 2$ ドットのディザパターンは、図9で説明したように、PDP300におけるパネル301のドット302に印加するドットデータに対して、映像信号に加算される。例えば、奇数行のドットデータにはディザ係数a、b、a、b、…が行頭のドットより順に加算され、偶数行のドットデータには、ディザ係数c、d、c、d、…が行頭のドットより順に加算される。

【0026】図2(A)に示す例では、a、b、c、dをそれぞれ2、1、-1、2としたディザパターン■と、a、b、c、dをそれぞれ2、-1、1、-2としたディザパターン■との2種類のパターンを用い、このディザパターン■、■を例えば1フィールド毎に交互に切り換えるようにしたものである。

【0027】図2(B)に示す例では、a、b、c、dをそれぞれ-2、1、-1、2としたディザパターン■

と、a, b, c, dをそれぞれ-1, 2, 2, 1としたディザパターン■と、a, b, c, dをそれぞれ2, -1, 1, -2としたディザパターン■と、a, b, c, dをそれぞれ1, 2, -2, -1としたディザパターン■との4種類のパターンを用い、このディザパターン■～■を例えばフィールド周期で規則的に巡回させて切り換えるようにしたものである。

【0028】本発明で用いるディザパターンでは、図7に示す従来例とは異なり、正のディザ係数と負のディザ係数の双方を備え、1つのディザパターン内におけるディザ係数の総和が0となるようにしている。さらに、この例では、好ましい実施例として、偶数個のディザ係数よりなるマトリクスを個数で均等に2つに分けたとき、即ち、a, cとb, dもしくはa, bとc, dのように2つずつのディザ係数の組に分けたときには、その2つの組のディザ係数を加算すると、0となるようにしている。

【0029】このようにすると、映像信号にディザ係数を加算しても、ノイズとして目立ちにくくなり、従来例の問題点であった輝度差がさらに強調されて疑似輪郭状の画質妨害が悪化するということが発生しない。ディザパターンは、図2に示す例に限定されることはない。

a, b, c, dがそれぞれ-1, 0, 1, 0のように、0を含んでいてもよいし、5, 3, -2, -6や6, -2, -3, -1のように、絶対値が異なる複数の数値を含んでいてもよい。1つのマトリクス内に、正のディザ係数と負のディザ係数が同じ数存在することが好ましいが、それに限定されることはない。また、マトリクスは、 $n \times n$ ドットの如く正方形であることが好ましいが、 $n \times m$  ( $m \neq n$ ) ドットの如く長方形であってもよい。

【0030】 $2 \times 2$ ドットのマトリクスについてまとめれば、ディザ係数の総和が0となるようにし、より好ましくは、正のディザ係数と負のディザ係数を同数含めるようにする。さらに好ましくは、斜め(対角)方向のディザ係数の絶対値を同じにする。PDP300で映像を表示させた際、階調特性が極力滑らかになり、隣接するマトリクスとの境界においても極力妨害が発生しないようなディザ係数のマトリクスを適宜選択すればよい。

【0031】図3(A), (B)は、図2(A)に示すディザパターン■, ■を用いた場合の、図1に示す映像信号処理回路100による演算処理の例を示している。図3(A), (B)では、入力された映像信号(原信号)が8ビットで、a, b, c, dのディザ係数に対応したドットデータが、9, 17, 3, 5で、(A)はディザパターン■を、(B)はディザパターン■を加算する場合である。

【0032】図3(A)においては、8ビットの原信号に加算器13によってディザパターン■が加算され、9, 17, 3, 5なる原信号は、7, 18, 2, 7なる

データとなる。このままでは、データの値が8ビットを超えることがあるので、リミッタ14によって8ビットのデータを超えた部分(オーバーフロー、アンダーフロー)のみ制限する。なお、PDP300が6ビットの表示能力しかなければ、リミッタ14によって下位2ビットを切り捨て、4, 16, 0, 4なる6ビットの信号としてもよい。ここでも、6ビットの信号を4の倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、1, 4, 0, 1である。

【0033】図3(B)においては、8ビットの原信号に加算器13によってディザパターン■が加算され、9, 17, 3, 5なる原信号は、11, 16, 4, 3なるデータとなる。このままでは、データの値が8ビットを超えることがあるので、リミッタ14によって8ビットのデータを超えた部分(オーバーフロー、アンダーフロー)のみ制限する。図3(A), (B)に示す出力映像信号は、例えば1フィールド毎に交互に切り換えられる。

【0034】図2(B)の場合も同様の演算が行われる。図2(B)の場合は、4種類のディザパターン■～■がフィールド周期で規則的に巡回して切り換えられるので、より空間的に滑らかな多階調化信号となる。

【0035】本発明では、1つのディザパターン内におけるディザ係数の総和が0となるようにしたディザパターンを加算するので、映像信号にディザパターンを加算しても全体的に階調が増えることがなく、従来のようにリミッタ14によって下位ビットを削減する必要がない。従って、階調特性が滑らかに平均的に変換され、隣接階調に対する視覚的な輝度差が少なくなり、階調の連続性を向上させることができるので、より画質の良好な映像を表示することが可能である。そのため、サブフィールド分割に起因する疑似輪郭状の画質妨害を大幅に低減させることができる。

【0036】本実施例では、1フィールド毎にディザパターンを変更するようにしたが、それに限定されることはない。1フレーム毎にディザパターンを変更してもよいし、隣接ブロック毎にディザパターンを変更したり、区画(マトリクス)とドットとの対応関係を変更してもよい。即ち、ディザパターンを時間的もしくはPDP300におけるパネル301上の位置的に変更すればよい。

【0037】図4は、 $n \times n$ ドットのマトリクスによるディザパターンにおいて、 $n$ が奇数の場合のディザパターンの一例を示す図である。ここでは、 $n=3$ としている。図4において、 $a \sim i$ で示す9つのドットよりなる区画は、縦(行) $\times$ 横(列)で $3 \times 3$ ドットのマトリクスによるディザパターンを示している。この $3 \times 3$ ドットのディザパターンは、図2の場合と同様、PDP300におけるパネル301のドット302に印加するドットデータに対応して、映像信号に加算される。例えば、

1行目のドットデータにはディザ係数a, b, c, a, b, c, …が行頭のドットより順に加算され、2行目のドットデータには、ディザ係数d, e, f, d, e, f, …が行頭のドットより順に加算され、3行目のドットデータには、ディザ係数g, h, i, g, h, i, …が行頭のドットより順に加算される。以下、これを繰り返す。

【0038】図4に示す例では、3×3ドットのマトリクスの中心であるeのディザ係数を0とし、それを除いたa～d及びf～iのディザ係数を順次異ならせるようにしている。a～d, f～iをそれぞれ2, -3, 4, -4, -1, 1, -2, 3としたディザパターン■と、このディザパターン■のa～d, f～iを1つずつ周方向に右回りにずらしたディザパターン■～■の8種類のパターンを用い、このディザパターン■～■をフィールド毎、フレーム毎、隣接ブロック毎等で規則的に巡回させて切り換えるようにしたものである。なお、ディザパターン■～■は図示を省略している。

【0039】この例でも、ディザパターンは、正のディザ係数と負のディザ係数の双方を備え、1つのディザパターン内におけるディザ係数（即ち、中心のディザ係数を除いた残りのディザ係数）の総和が0となるようにしている。さらに、この例では、好ましい実施例として、奇数個の係数よりなるマトリクスの縦横の中心を0とし、残りの偶数個の係数は、正の係数と負の係数が同じ個数だけ含まれるようにしている。

【0040】このようにすると、映像信号にディザ係数を加算しても、ノイズとして目立ちにくくなり、従来例の問題点であった輝度差がさらに強調されて疑似輪郭状の画質妨害が悪化するということが発生しない。奇数個の係数よりなるディザパターンは、図4に示す例に限定されることはない。a～d, f～iの中に0を含んでもよい。1つのマトリクス内に、正のディザ係数と負のディザ係数が同じ数存在することが好ましいが、それに限定されることはない。また、マトリクスは、n×nドットの如く正方形であることが好ましいが、n×m (m≠n) ドットの如く長方形であってもよい。

【0041】PDP300で映像を表示させた際、階調特性が極力滑らかになり、隣接するマトリクスとの境界においても極力妨害が発生しないようなディザ係数のマトリクスを適宜選択すればよい。

#### 【0042】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の映像信号処理回路は、ディザ係数パターンとして、正のディザ係数と負のディザ係数との双方を含み、ディザ係数の総和が0となるようにしたので、階調特性が滑らかに平均的に変換され、隣接階調に対する視感度的な輝度差が少なくなり、階調の連続性を向上させることができ、疑似輪郭状の画質妨害を大幅に低減することができる。さらに、ビット数を削減する必要がないので、画質の良好な映像を表示することもできる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明で用いるディザパターンの一例を示す図である。

【図3】図2に示すディザパターンを用いた場合の演算処理を説明するための図である。

【図4】本発明で用いるディザパターンの他の一例を示す図である。

【図5】マトリクス型表示装置の全体構成の一例を示すブロック図である。

【図6】従来例を示すブロック図である。

【図7】従来用いていたディザパターンの一例を示す図である。

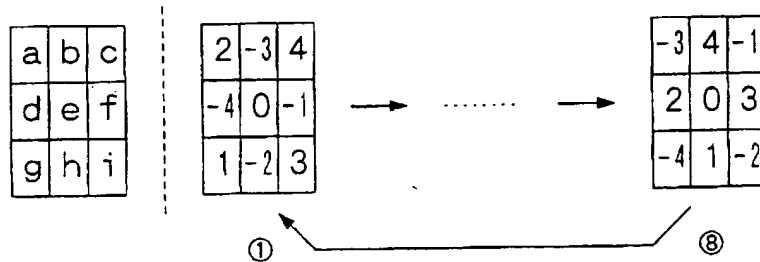
【図8】図7に示すディザパターンを用いた場合の演算処理を説明するための図である。

【図9】マトリクス型表示装置における画素とディザ係数との対応を説明するための図である。

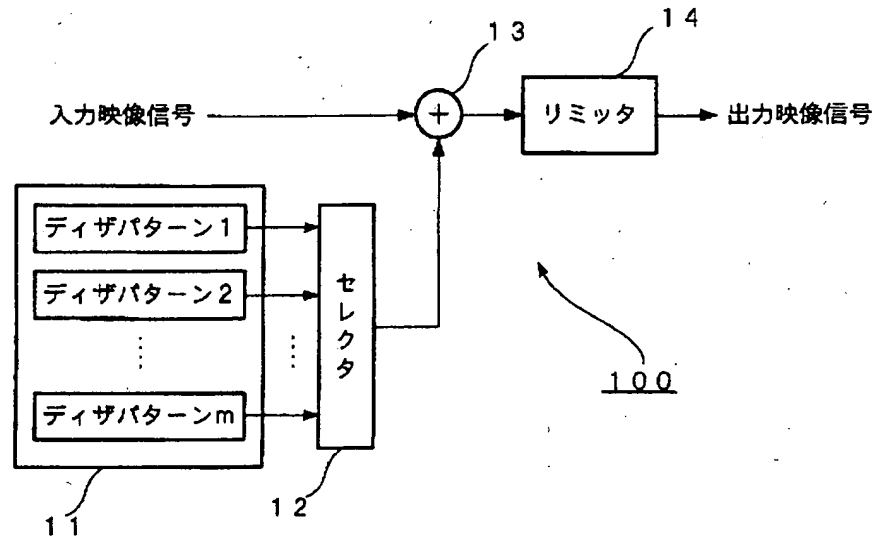
#### 【符号の説明】

- 11 ディザマトリクス係数発生器
- 12 セレクタ
- 13 加算器
- 14 リミッタ

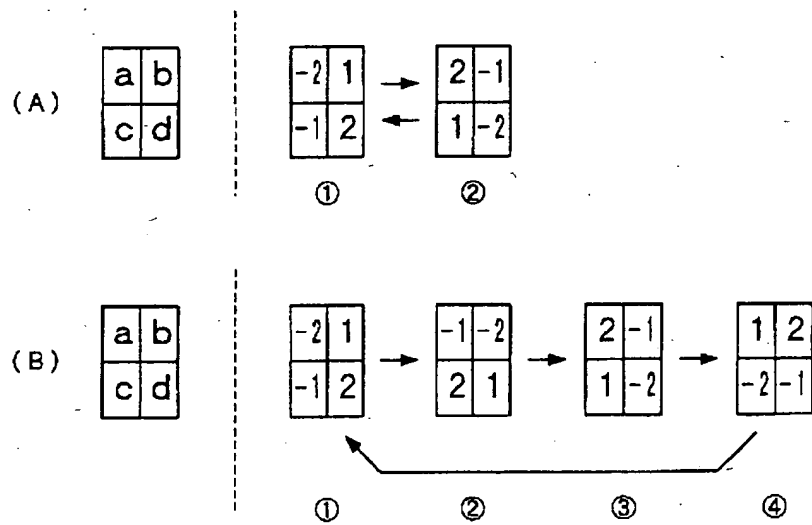
【図4】



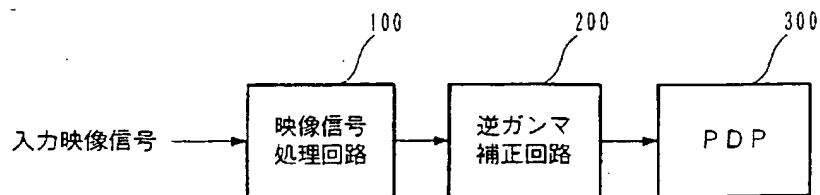
【図1】



【図2】



【図5】





【図3】

(A) 
$$\begin{array}{|c|c|} \hline 9 & 17 \\ \hline 3 & 5 \\ \hline \end{array} + \begin{array}{|c|c|} \hline -2 & 1 \\ \hline -1 & 2 \\ \hline \end{array} = \begin{array}{|c|c|} \hline 7 & 18 \\ \hline 2 & 7 \\ \hline \end{array} \left( \Rightarrow \begin{array}{|c|c|} \hline 4 & 16 \\ \hline 0 & 4 \\ \hline \end{array} \right)$$

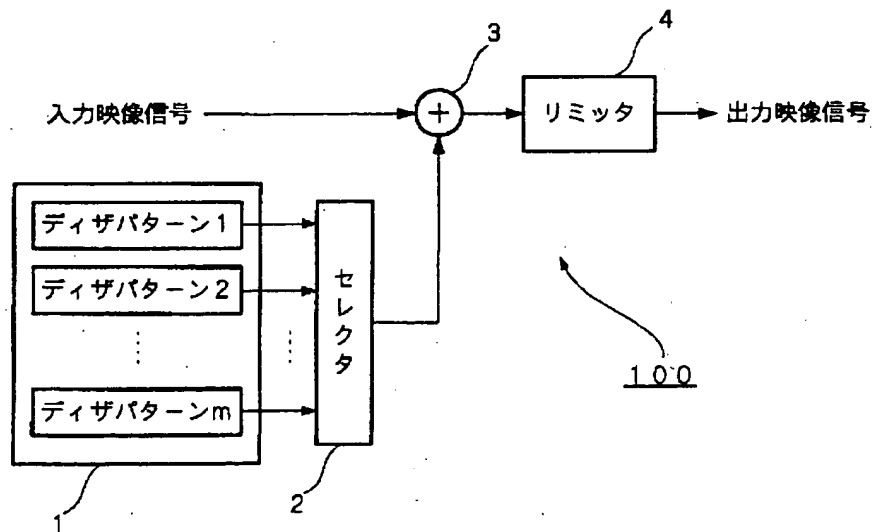
原信号                  ディザ                  演算値                  出力映像信号  
8ビット                  パターン①                                   6ビット

↓                  ↑

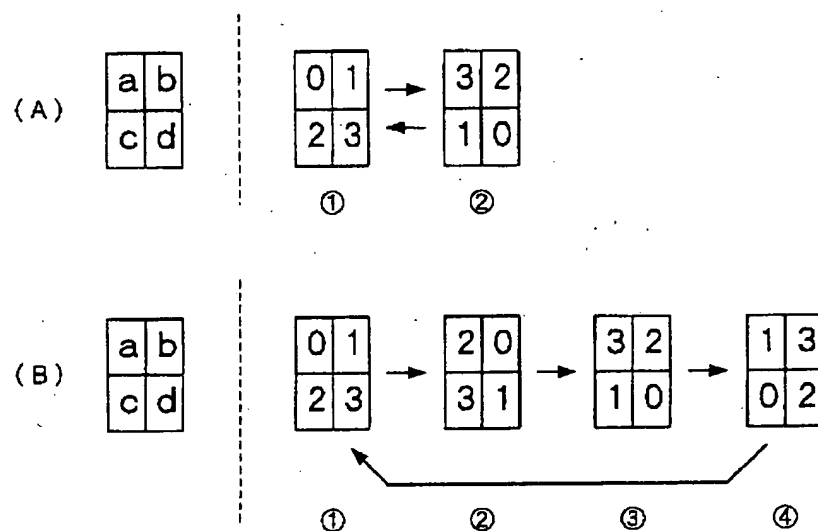
(B) 
$$\begin{array}{|c|c|} \hline 9 & 17 \\ \hline 3 & 5 \\ \hline \end{array} + \begin{array}{|c|c|} \hline 2 & -1 \\ \hline 1 & -2 \\ \hline \end{array} = \begin{array}{|c|c|} \hline 11 & 16 \\ \hline 4 & 3 \\ \hline \end{array} \left( \Rightarrow \begin{array}{|c|c|} \hline 8 & 16 \\ \hline 4 & 0 \\ \hline \end{array} \right)$$

原信号                  ディザ                  演算値                  出力映像信号  
8ビット                  パターン②                                   6ビット

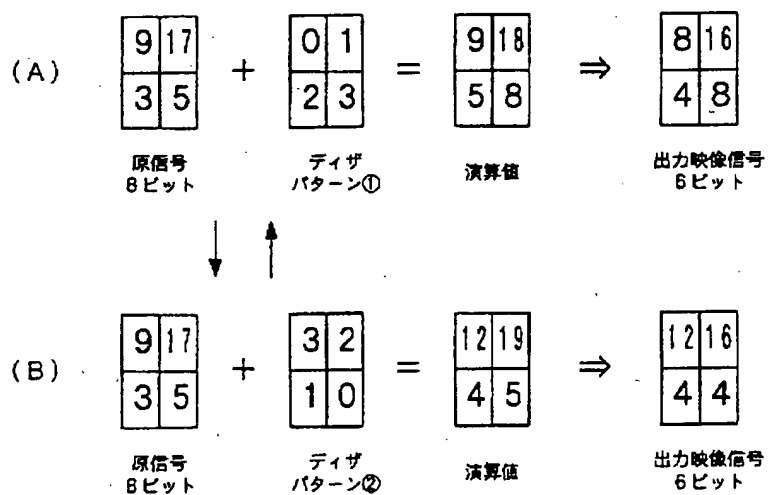
【図6】



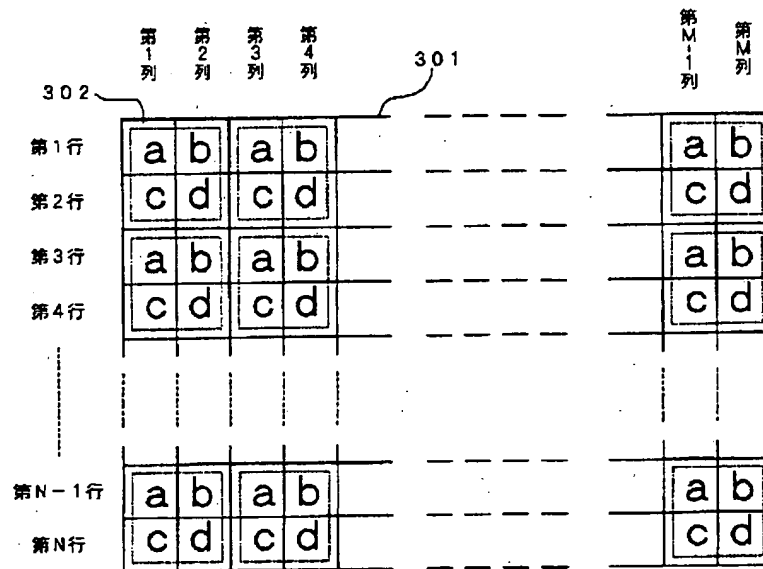
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード(参考)

G 0 9 G 3/34

G 0 9 G 3/34

D

H 0 4 N 9/69

H 0 4 N 9/69

Fターム(参考) 5C021 PA12 PA62 PA66 PA78 RA02  
 RB03 XA34 XA35 XB06 YC07  
 ZA02  
 5C066 AA03 BA20 CA08 CA17 DD06  
 EA00 EC02 EC05 EF02 GA04  
 GB01 HA06 KA08 KD06 KE02  
 KE04 KE07 KE16 KG01 KM13  
 KM15 KP05 LA02  
 5C080 AA05 BB05 DD02 EE29 FF12  
 GG09 JJ01 JJ02